Архітектура обчислювальних систем та схемотехніка

*Лабораторна робота №5*

Виконав:

Студент групи ПМО-11

Ласько Маркіян

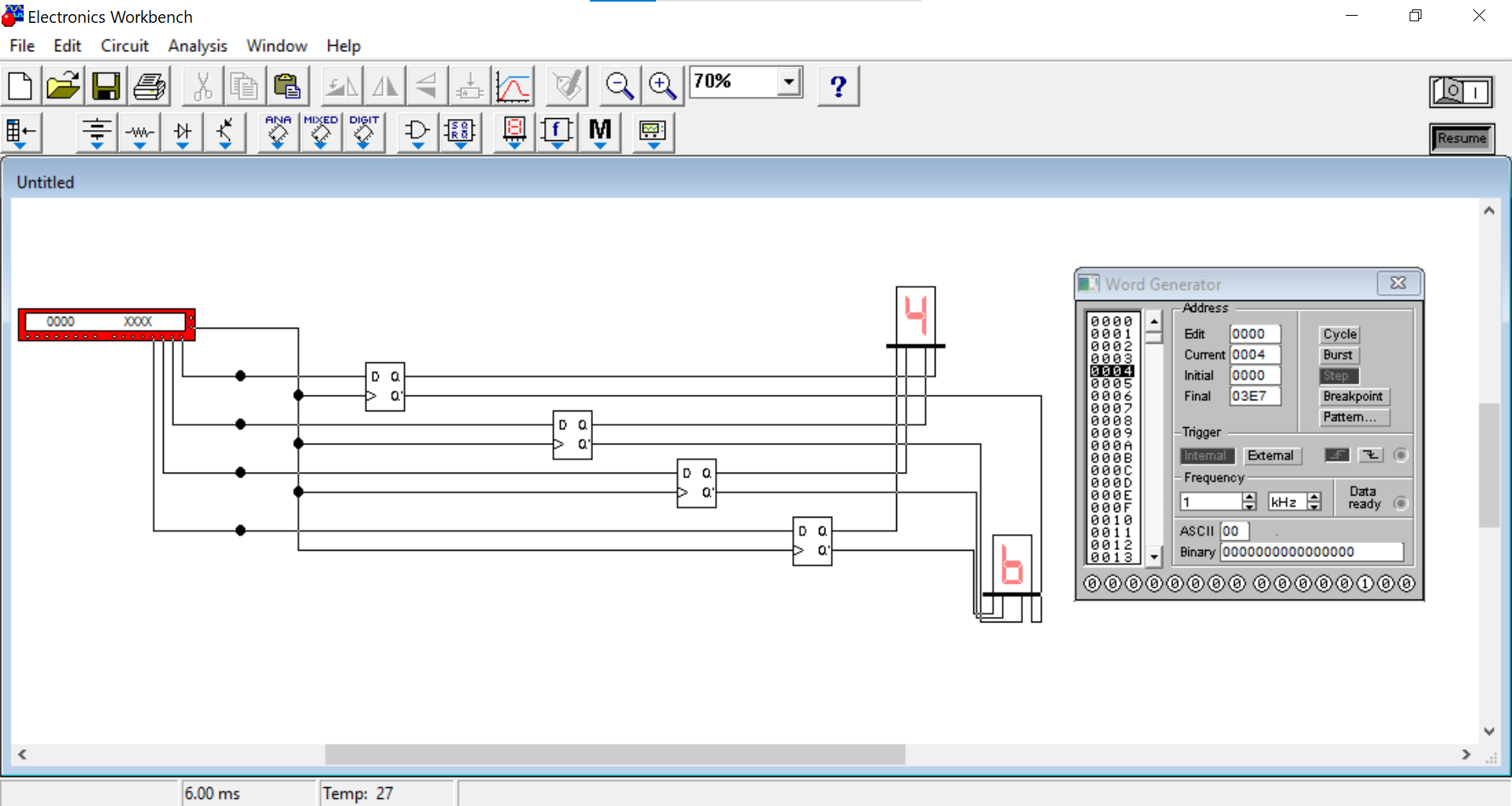
**Тема:** Побудова і дослідження регістрових схем.

**Мета**: З використанням можливостей пакета EWB побудувати логічні схеми регістрових схем на базі тригерних елементів пам’яті. Перевірити роботу схем та створити макроелементи кожної схеми.

**Результат роботи:**

Попередньо ознайомившись з можливостями Electronics Workbench (EWB) та теоретичними відомостями до Лабораторної роботи №5, за допомогою D-тригерних схем синтезувала у робочому полі логічні схеми чотирьохрозрядних регістрів паралельної та послідовної дії.

**Хід роботи:**

**Паралельної дії:** ****

Для цього використано:

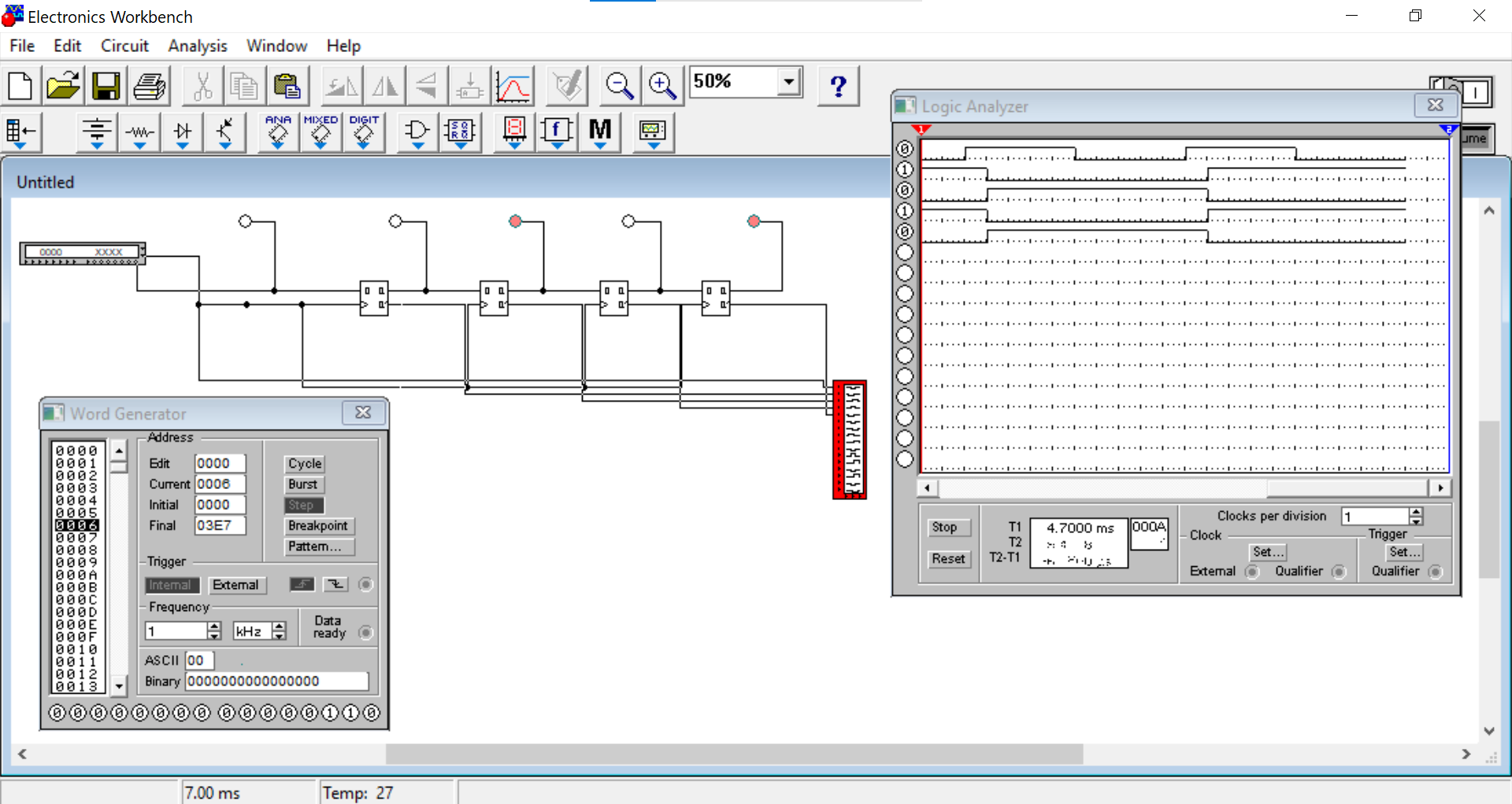
● D Flip-Flop (4 шт)

● Connector (3 шт)

● Decoded Seven-Segment Display (1 шт)

● Word Generator (1 шт)

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **D0** | **D1** | **D2** | **D3** | **Q0** | **Q1** | **Q2** | **Q3** | **Q’0** | **Q’1** | **Q’2** | **Q’3** |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

**Послідовної дії:** ****

Для цього використано:

● Indicator (5 шт)

● D Flip-Flop (4 шт)

● Connector (9 шт)

● Logic Analyzer (1 шт)

● Word Generator (1 шт)

**Висновок:** Виконуючи цю лабораторну роботу, я ознайомився з можливостями програмного симулятора Electronics Workbench для побудови логічних схем регістрових схем на базі тригерних елементів пам’яті. Також склав таблиці, щоб перевірити правильність схем.